

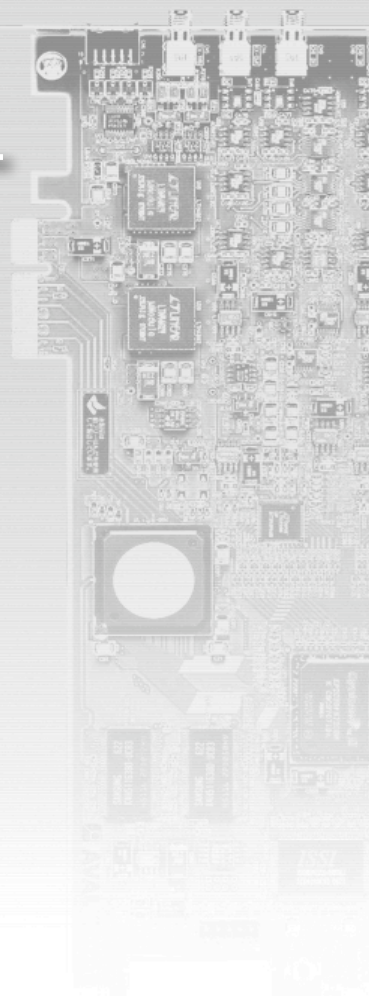
APX-510 FPGAの開発手法

株式会社アバールデータ



Agenda

1. 開発環境
- 2-1. FPGA開発フロー
- 2-2. 仕様設計
- 2-3. デザイン設計
- 2-4. テストベンチ
- 2-5. シミュレーション
- 2-6. 論理合成・配置配線
- 2-7. プログラミング
- 2-8. 実機検証
3. IPソリューションの紹介
4. AMPPについて
5. MATLAB/Simulink



1. 開発環境

- **FPGA開発環境（Altera社製）**

- Quartus® II
- Quartus® II Web Edition（無償）

» <http://www.altera.co.jp/products/software/sfw-index.jsp>



- **シミュレーション環境（Mentor Graphics社製）**

- ModelSim®-Altera Edition（ModelSim PE/ModelSim SEでも可）
- ModelSim®-Altera Starter Edition

（無償：10,000ラインの使用制限）

» <http://www.altera.co.jp/products/software/quartus-ii/modelsim/qts-modelsim-index.html>

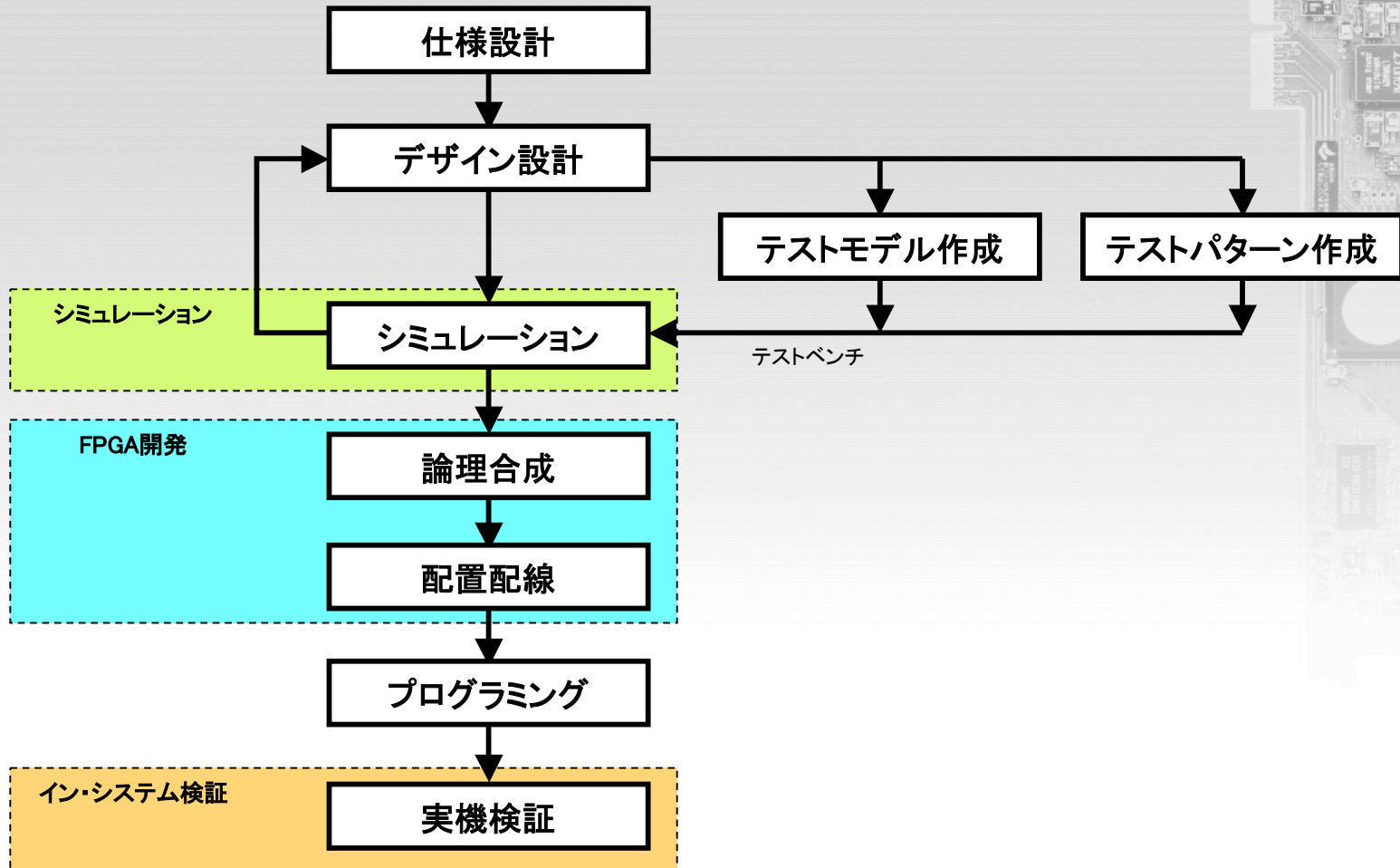
» <http://www.mentorg.com/solution/fpga-pld/simulation/index.html>

- **イン・システム検証（Altera社製）**

- SignalTap® II

» <http://www.altera.co.jp/products/software/products/quartus2/verification/signalap2/sig-index.html>

2-1. FPGA開発フロー



2-2. 仕様設計

● 機能・処理方法の検討

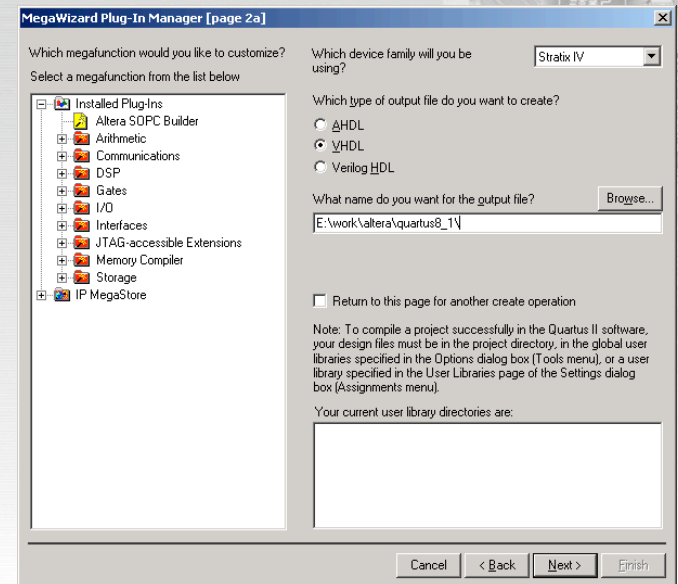
- 設計する機能の検討
- アルゴリズムの検討

● 設計リソースやIPの活用

- RAM/ROM/FIFO
- 演算器（加減算/乗算器/平方根）
- FFT/IFFT/FIR Filter
- DDR-SDRAM Controller

● 回路規模の検討

- ゲート規模の概算値を算出
- ターゲットデバイスのゲート規模と比較



2-3. デザイン設計

- **HDLでコーディング**

- VHDL/Verilog HDLを使用し、機能やアルゴリズムを記述

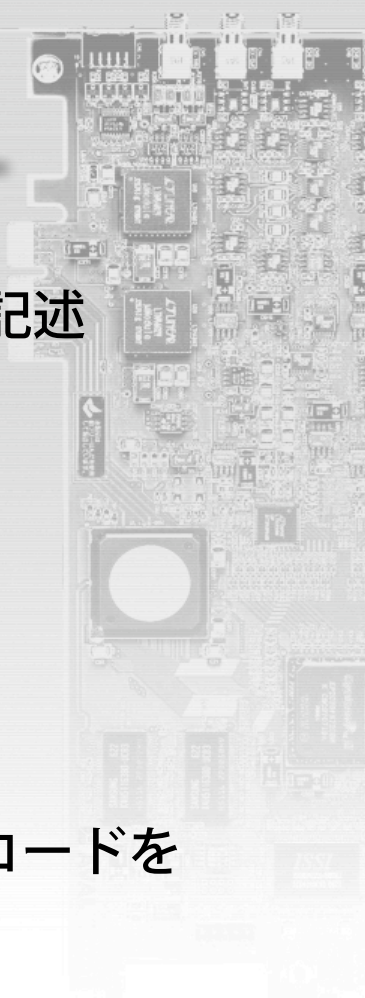
- **Megafunction(MegaWizard)の活用**

- Quartus® II がHDLコードを自動生成

- **豊富なIPコア(Intellectual property)**

- Altera社が提供するHDLコードを使用

- AMPP Core Partners (Third-Party) が提供するHDLコードを使用



2-4. テストベンチ

- **シミュレーション環境の構築**

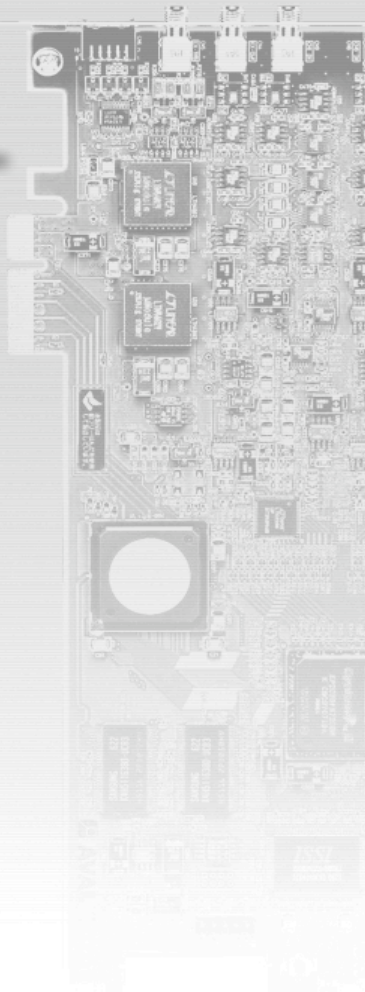
- 必要なテストモデルのリストアップ
- 評価項目と判定基準の決定

- **テストモデルの作成**

- メモリやI/Oなどインターフェースモデルを作成
- ベンダが提供するテストモデルを使用

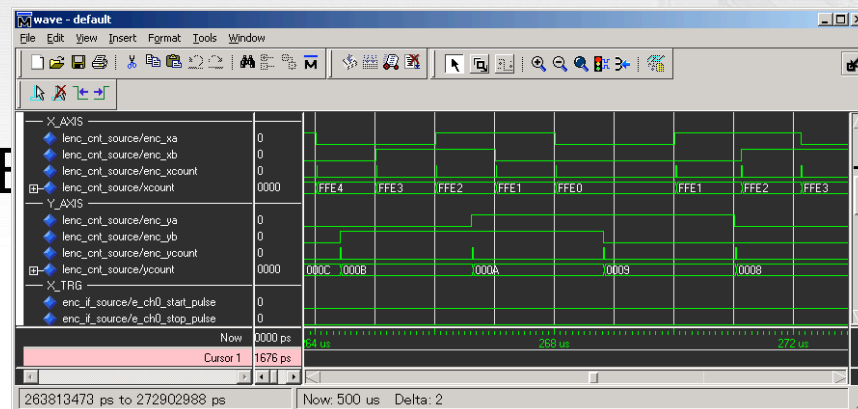
- **テストパターンの作成**

- クロックやリセットの作成
- 評価項目と判定基準をもとにテストパターンを作成



2-5. シミュレーション

- **デザインとテストベンチを接続**
 - HDLで記述したデザインとテストベンチを接続
- **シミュレーションの実行**
 - シミュレーションを実行し、動作波形を表示
- **シミュレーション結果・検証**
 - 表示波形の目視確認
 - テストベンチによる自動検証
(期待値の比較)



2-6. 論理合成・配置配線

● Design Entry

– 検証済みHDLファイルの指定

● Compile Design

– Synthesis（論理合成の実行）

– Fitter（配置配線の実行）

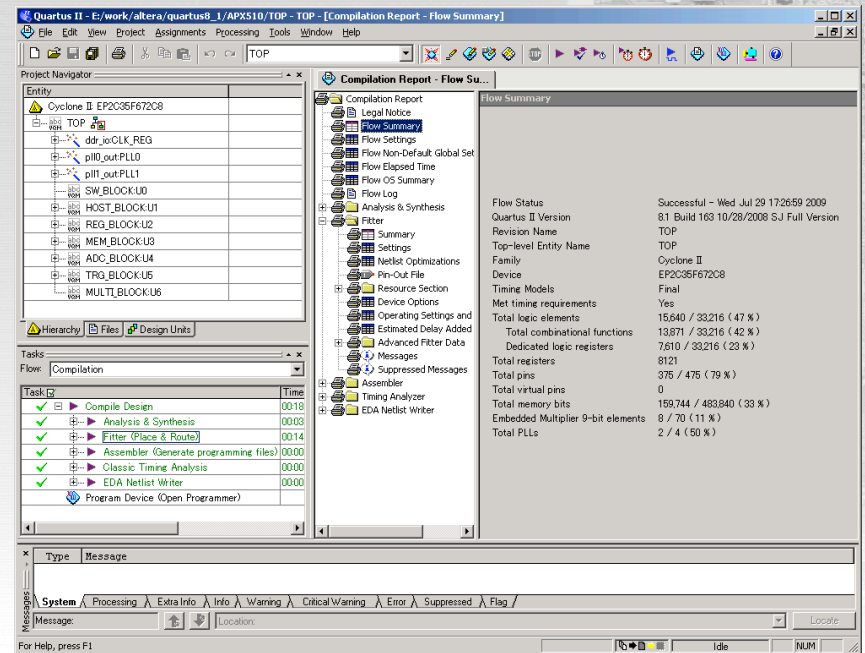
● Timing Analysis（TimeQuest）

– I/Oタイミング検証

– 動作速度検証

● rbfファイル（書込みファイル）の生成

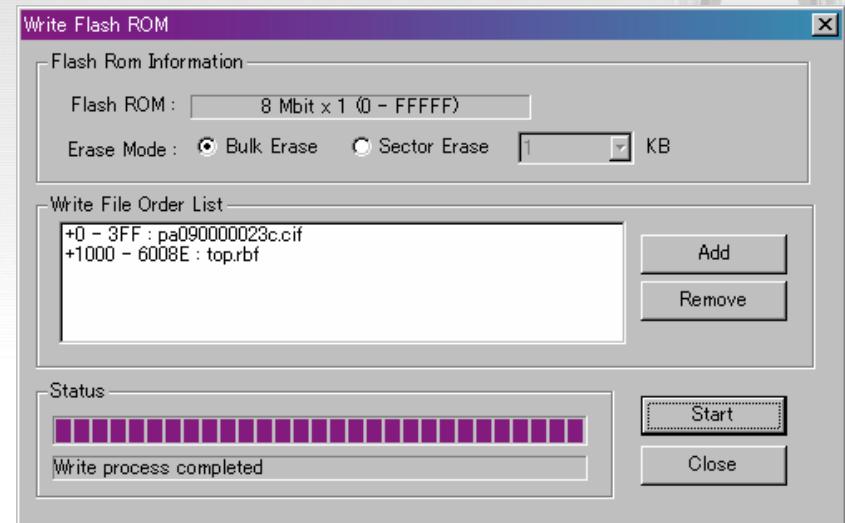
– Raw Binary File（.rbf）生成



2-7. プログラミング

● AAE-B04の書込み

- Config Designer を使用し、SPI Flash ROMに書込む
- AAE-B04の初期化ファイル(.cif)とFPGAの書込みファイル(.rbf)を選択

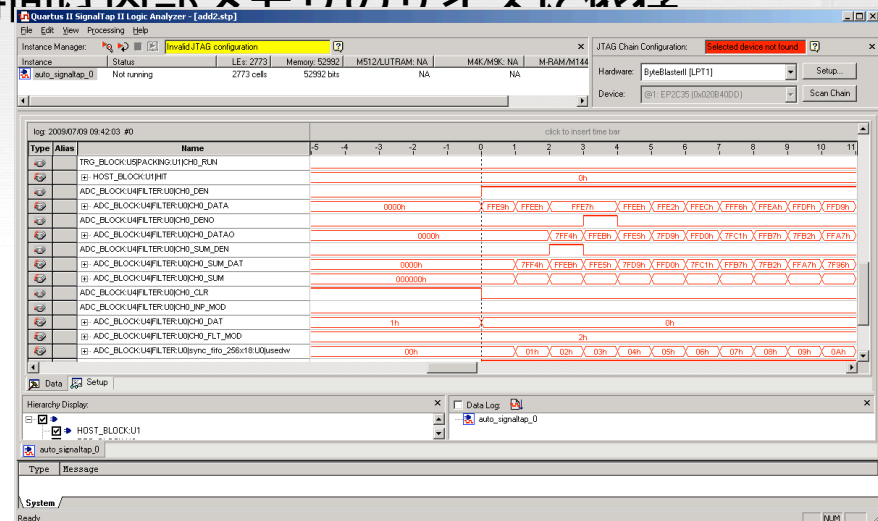


2-8. 実機検証

● SignalTap II を使用したイン・システム検証

- ロジアナ感覚で内部ノードの波形観測が可能
- 内部メモリに格納するため実タイミングをモニタリング
- 内部ノードを任意に指定
- 予想外の動作に対し、容易に解決可能

注) ノード数や観測時間には内部メモリのサイズに依る



3. IPソリューションの紹介

- IPメガファンクションライブラリ

- DSP(演算機能)

- 浮動少数点の加減算器/乗算器/除算器/倍精度（単精度）平方根
変調/復調、フィルタ類（FFT/FIR Filter）

- » <http://www.altera.co.jp/products/ip/dsp/ipm-index.jsp>

- エンベデッド プロセッサ

- C68000 Microprocessor（CAST社製）

- Nios II エンベデッド・プロセッサ（Altera社製）

- » <http://www.altera.co.jp/products/ip/processors/ipm-index.jsp>

- インターフェースおよびプロトコル

- PCI 64-bit Master/Target（Altera社製）

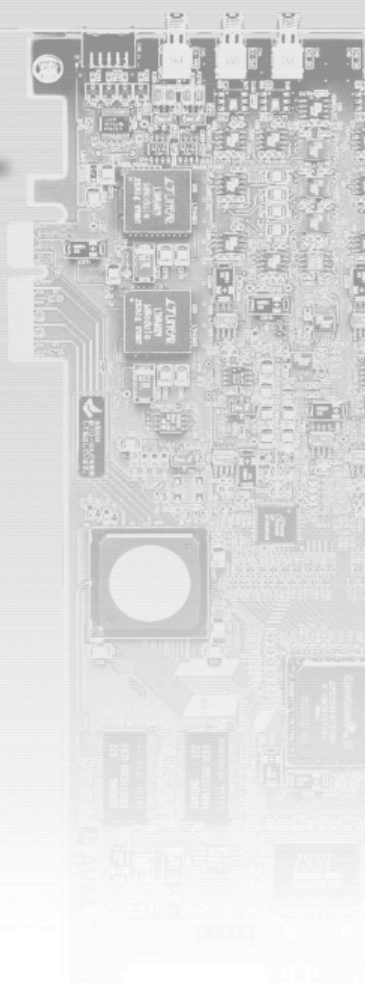
- 10 Gigabit Ethernet MAC（MorethanIP社製）

- » <http://www.altera.co.jp/products/ip/iup/ipm-index.jsp>

- メモリ、メモリ コントローラ

- DDR3 SDRAM HighPerformance Controller（Altera社製）

- » <http://www.altera.co.jp/products/ip/iup/ipm-index.jsp>



4. AMPPについて

- **AMPP (Altera Megafunction Partners Program)**

- パートナ各社のメガファンクションを使用することができます。
- メガファンクション製品の重複を抑えつつ、質の高いメガファンクションの提供を行っています。
- サードパーティ・メガファンクションはAMPPの基準に適合したものだけが認証を受けており、最新のアルテラのデバイス・アーキテクチャやデザイン・ソフトウェア向けに最適化されています。

- ベンダリスト (一部)

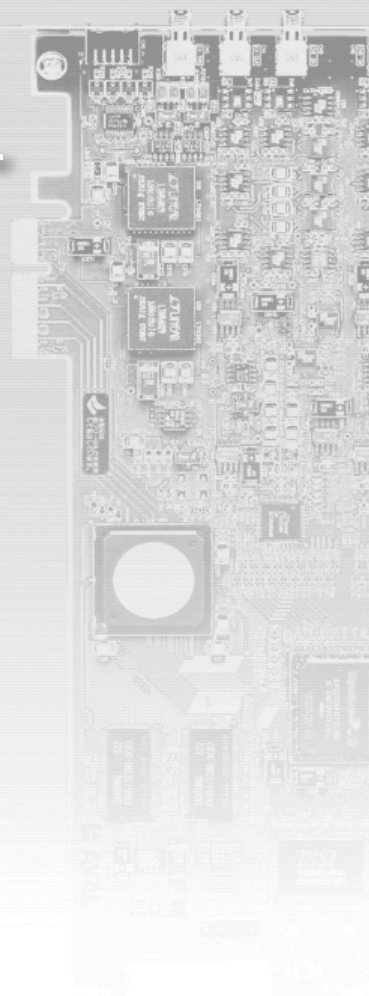
CAST

MorethanIP

Northwest Logic

PLDA

» <http://www.altera.co.jp/products/ip/ampp/ampp1.html>



5. MATLAB/Simulink

● Simulink

- Simulink®はMATLAB環境によって提供され、MATLAB®とともに動作します。
- 制御理論、デジタル信号処理などの分野で広く使われており、専門分野ごとにブロックがまとめられたブロックセット(blockset)はMathwork社によって多数用意されています。

» <http://www.mathworks.co.jp/>

● モデル作成

- あらかじめ定義されたブロック群により、システムの詳細なブロックダイアグラムをすばやく作成し、管理することができます。
- 階層的なモデリング、データ管理、サブシステムのカスタマイズのためのツールを提供し、複雑なモデルを簡潔かつ正確に表現します。

● HDLコード生成

- Simulink® HDL Coder (オプション製品) を用いると、合成可能かつターゲットに依存しないVerilogおよびVHDLコードを生成したり、外部のHDLシミュレータで検証するためのテストベンチを生成することができます。