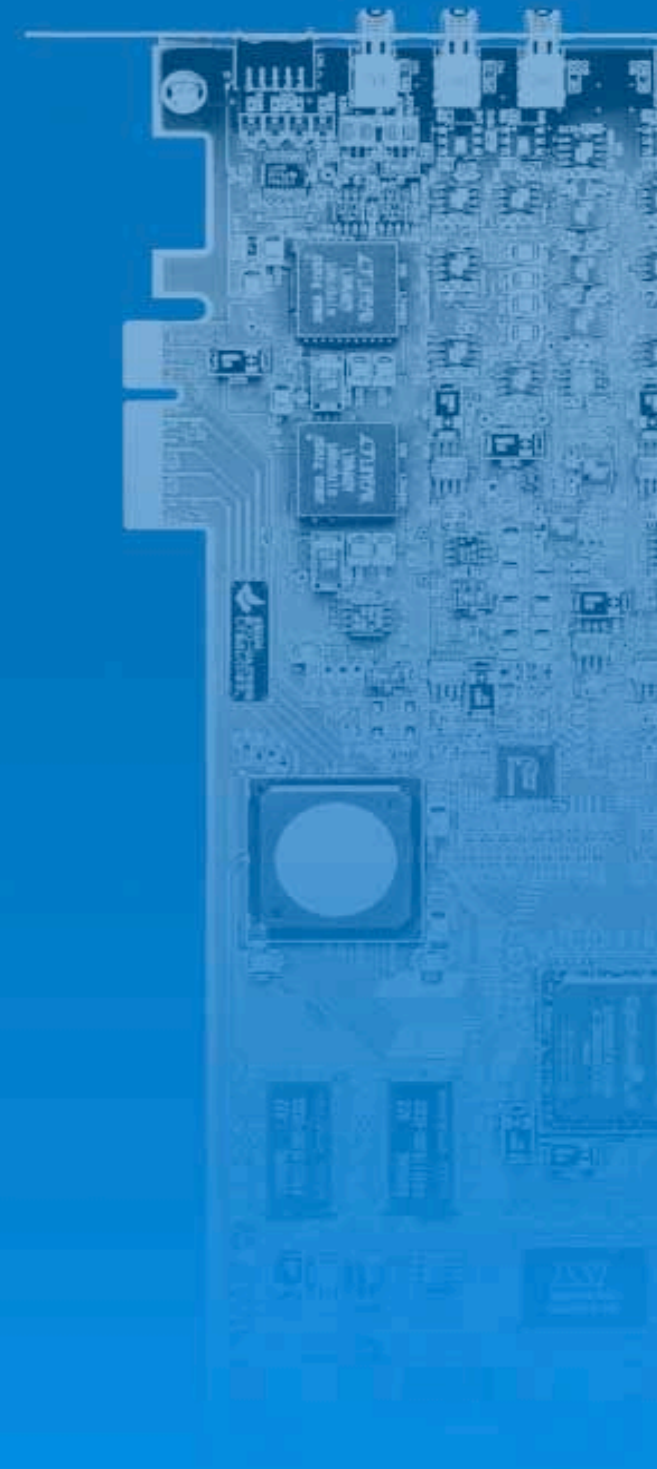


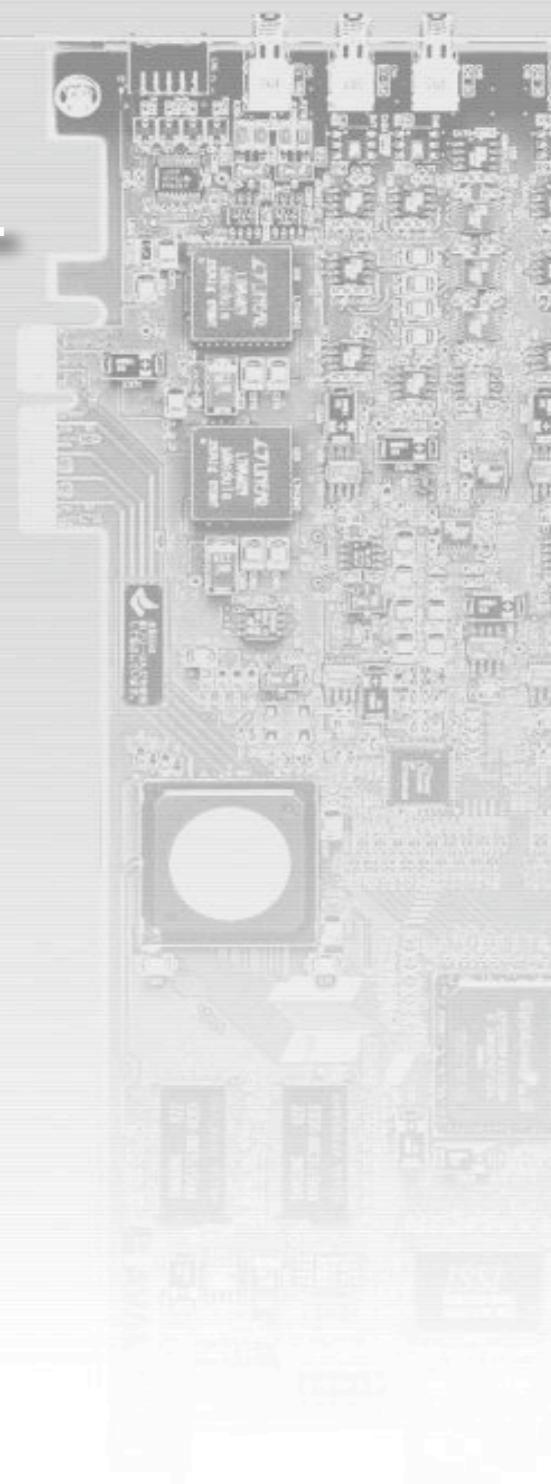
APX-510 高速サンプリング A/D変換ボードの製品概要

株式会社アバルデータ

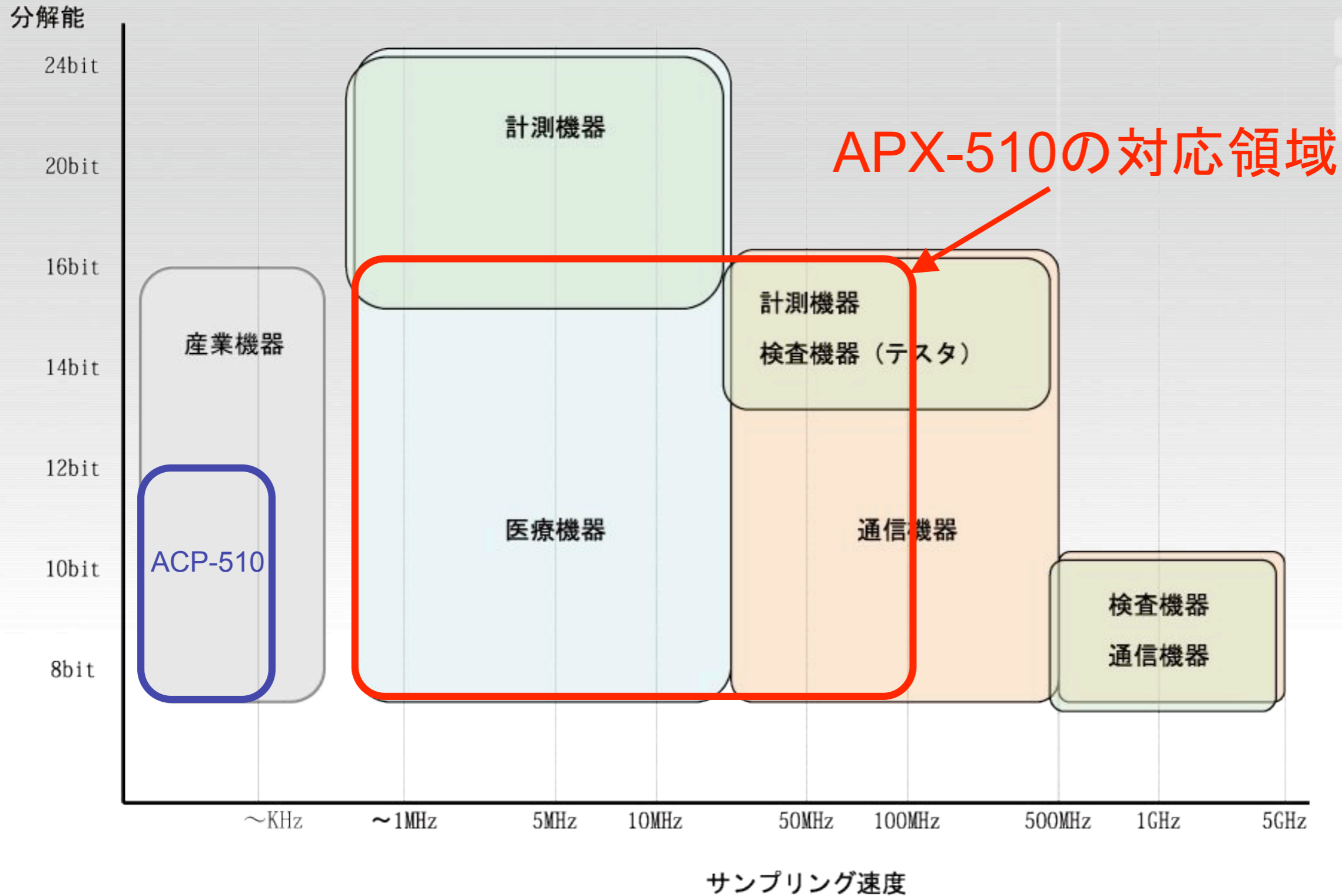


Agenda

1. 概略仕様
2. ブロック図
3. 各種トリガ
4. 高速データ転送
5. 添付ソフトウェア
6. 製品ロードマップ

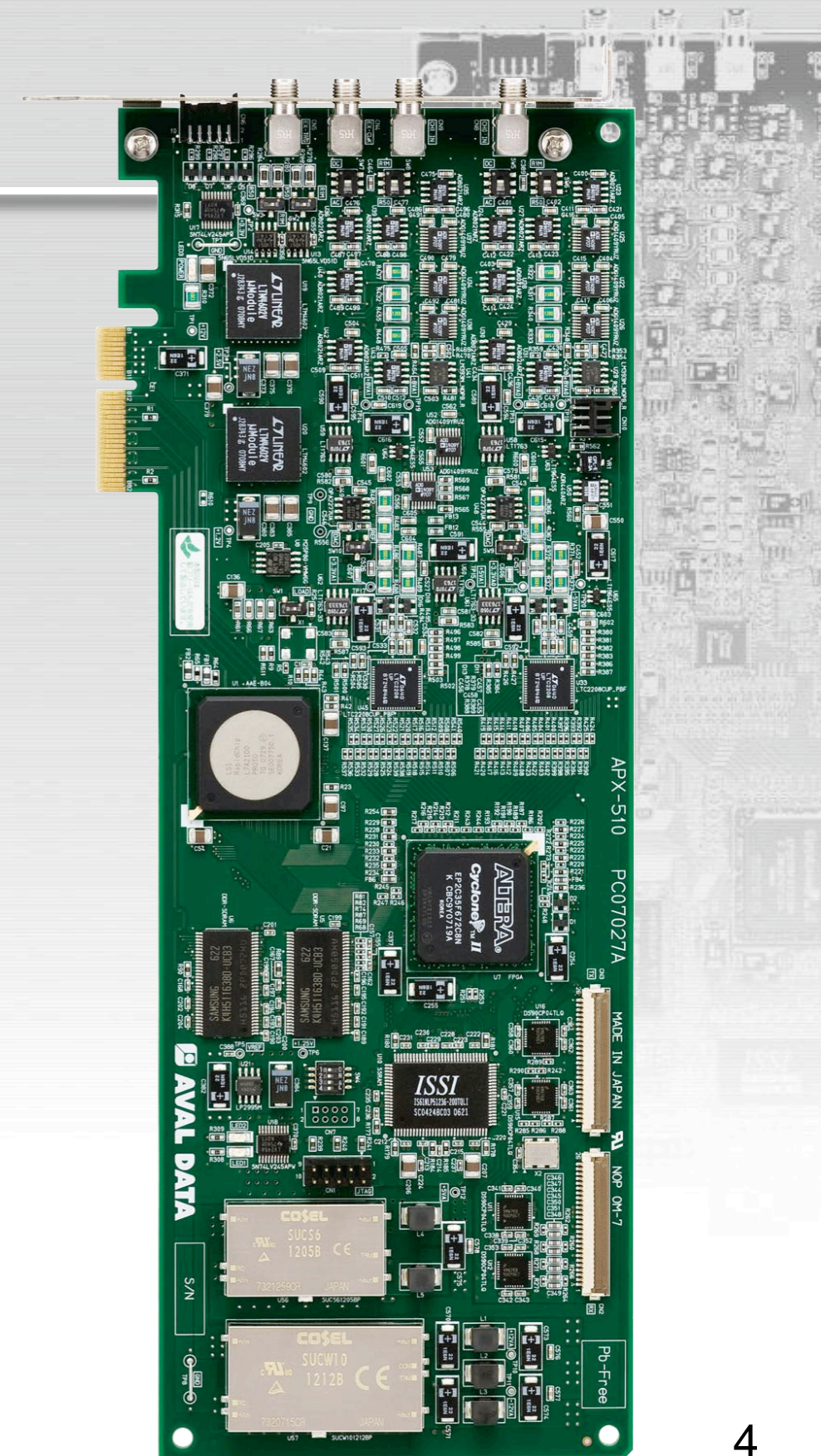


0. 製品のポジション



1. 概略仕様

- 16bit/100MHzサンプリングの高速ADCを使用
- サンプリング周期は10ns~655.36us(10ns/step)まで調整可能
- ±100mV~±2Vのシングルエンド入力を2ch
- 外部トリガ入力・外部クロック入力を各1ch
- ATT & GAIN調整機能により入力信号を最適な範囲に調整可能
- 分解能16bitの高精度DACを使用したOFFSET調整が可能
- 0Vと基準電圧を使用したキャリブレーションが可能
- Temporary MemoryとしてSSRAM(16Mbit×2コ)を搭載!(1MS/1ch)!!!!!!*1MS=1M!Sampling
- FIFO MemoryとしてDDR-SDRAM(512Mbit×2コ)を搭載!(32MS/1ch)
- DMAコントローラを内蔵しCPUを介さずメモリ転送が可能
- PCI Express規格(Specification Revision 1.0a)に準拠し様々なシステムに対応可能
- 4レーンのPCI Express I/Fを使用した高速データ転送が可能
- FPGAデータのUp!Data機能搭載
- SPI Flash Memoryに初期設定情報を保存することが可能
- 各4bitのDIO機能
- 搭載したFPGAにより多彩なトリガモード・処理機能を提供
 - ・ レベルやパルス幅でトリガを設定可能
 - ・ 必要なエッジ部分のみを保存するエッジ抽出機能
 - ・ シーケンシャル・トリガによる連続動作
- 移動平均フィルタを設定可能(2/4/8/16サンプリング平均)



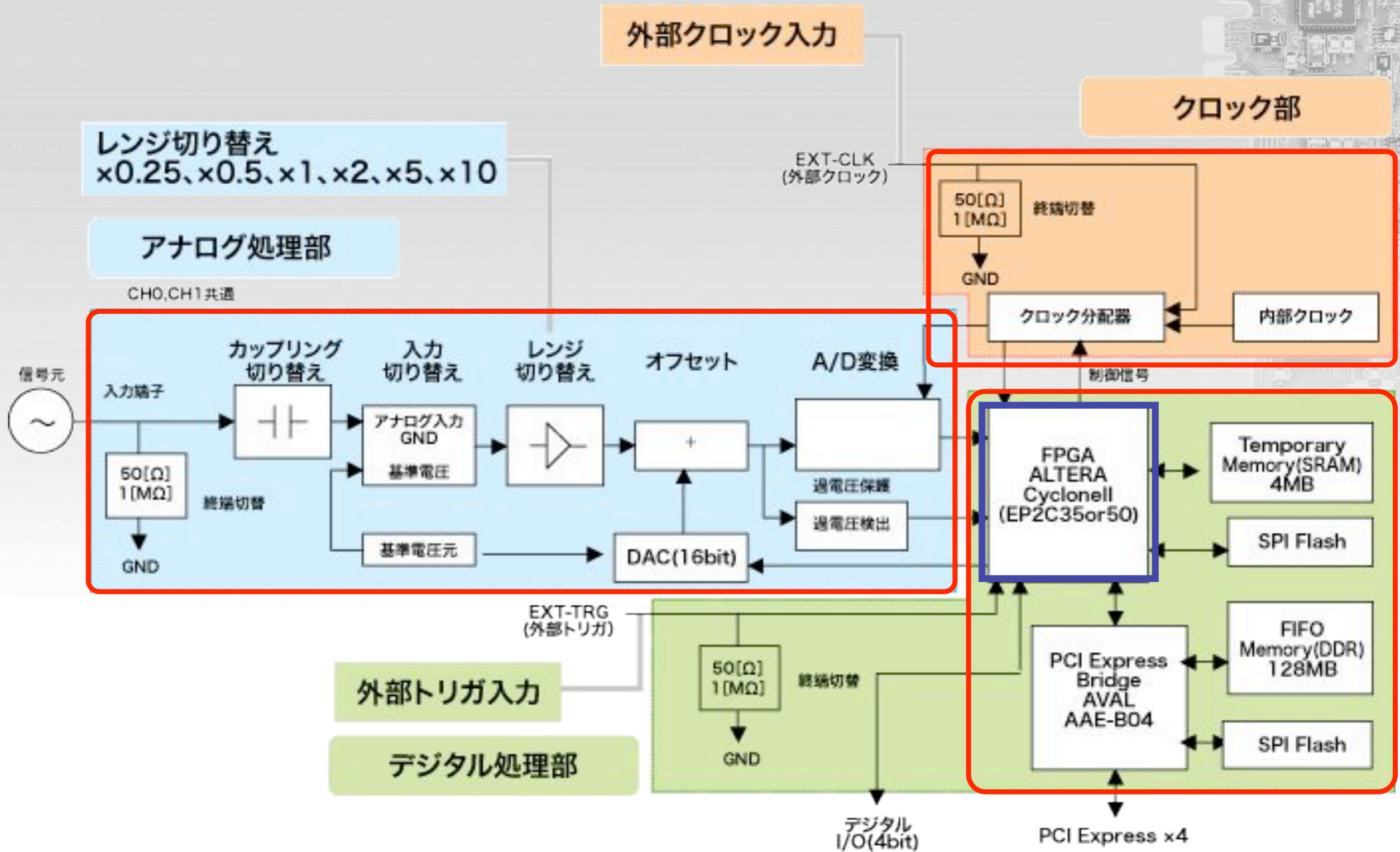
1. 概略仕様 II (アナログ性能)

入力仕様	Spec	Comments
Resolution Input Range Input Impedance Coupling	16bit BI-Polar : $\pm 100\text{mV}$ to $\pm 2\text{V}$ UNI-Polar : $0\text{V} \sim +100\text{mV}$ to $0\text{V} \sim +2\text{V}$ $50\Omega \pm 2\%$ / $1\text{M}\Omega \pm 2\%$ DC / AC	

アナログ特性	Typ	Max	Comments
DC Accuracy (電圧確度)	$\pm 0.5\% \pm 1\text{mV}$ $\pm 1.0\% \pm 1\text{mV}$ $\pm 3.0\% \pm 3\text{mV}$	$\pm 1.0\% \pm 2\text{mV}$ $\pm 2.0\% \pm 2\text{mV}$ $\pm 3.0\% \pm 5\text{mV}$	$\pm 2\text{V}$ $\pm 1\text{V}$ $\pm 100\text{mV} \cdot \pm 200\text{mV} \cdot \pm 500\text{mV}$
Full Scale Error	-	$\pm 5\%$	
Offset Error	-	$\pm 0.3\%$	
Offset Zero Error	-	$\pm 2\text{mV}$	
DC Level RMS Noise ($\pm \sigma$)	10.75 bit	-	$\pm 500\text{mV}$ レンジ (x1設定)
Bandwidth (-3dB)	20MHz	-	$\pm 500\text{mV}$ レンジ (x1設定)

* 電圧確度 : 1Kサンプルの平均値です。

2. ブロック図



3. 各種トリガ条件

●内部トリガ

Level Trigger : レジスタに設定した閾値(上限値以上 または、下限値以下)を条件にする

Pulse Width Trigger : 閾値と、レジスタに設定したパルス幅(未満 または、以上)を条件にする

Window Trigger : 閾値(上限値と下限値)とパルス幅の組合せを条件にする

Edge Trigger : 閾値(上限値 または、下限値)の遷移点を条件にする

●外部トリガ

LVTTL Signal Level Trigger : アクティブ・エッジを条件にする

* 外部トリガはレジスタ設定によりアクティブレベルを変更可能
(Highアクティブ または、Lowアクティブ)

●可変トリガポジション(メジャメントモード・のみ対応)

内部トリガ/外部トリガ条件で1MW分を格納可能。

Pre Trigger : トリガ条件以前のデータを保存

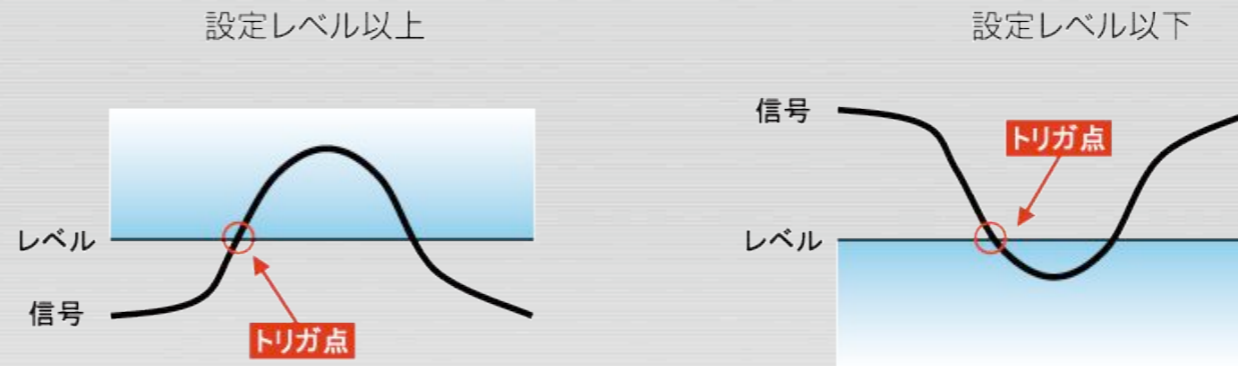
Post Trigger : トリガ条件以降のデータを保存

Delay Trigger : トリガ条件以降のデータを保存(トリガ条件を含まないデータ)

3-1. 各種トリガ条件 (内部トリガ I!)

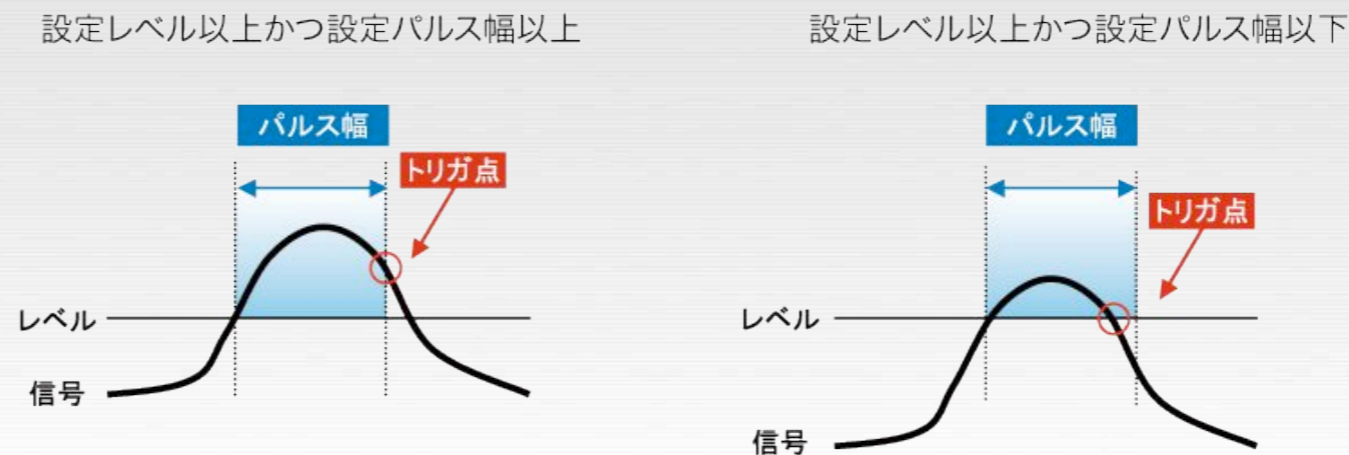
Level Trigger

レジスタに設定した閾値(上限値以上 または、下限値以下)を条件にする



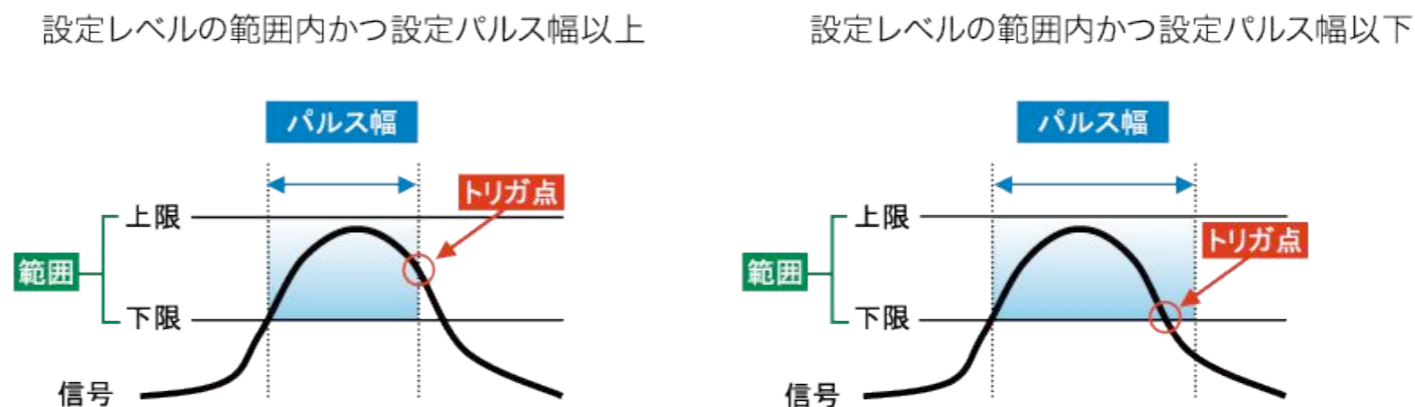
Pulse Width Trigger

閾値と、レジスタに設定したパルス幅(未満 または、以上)を条件にする



Window Trigger

閾値(上限値と下限値)とパルス幅の組合せを条件にする

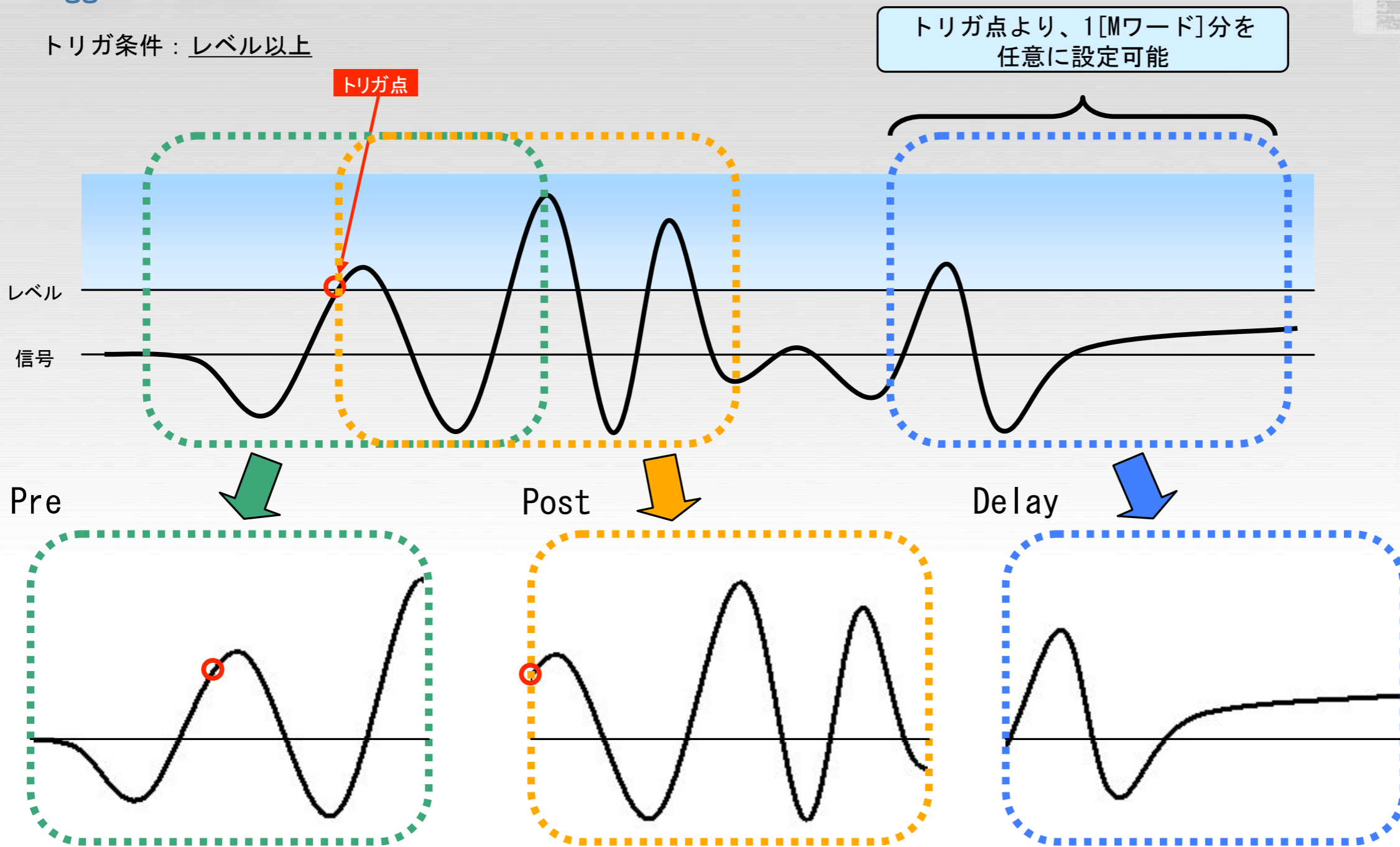


3-2. 各種トリガ条件 (内部トリガII)

Preトリガ、Postトリガ、Delayトリガ 選択可能

Trigger Position

トリガ条件：レベル以上



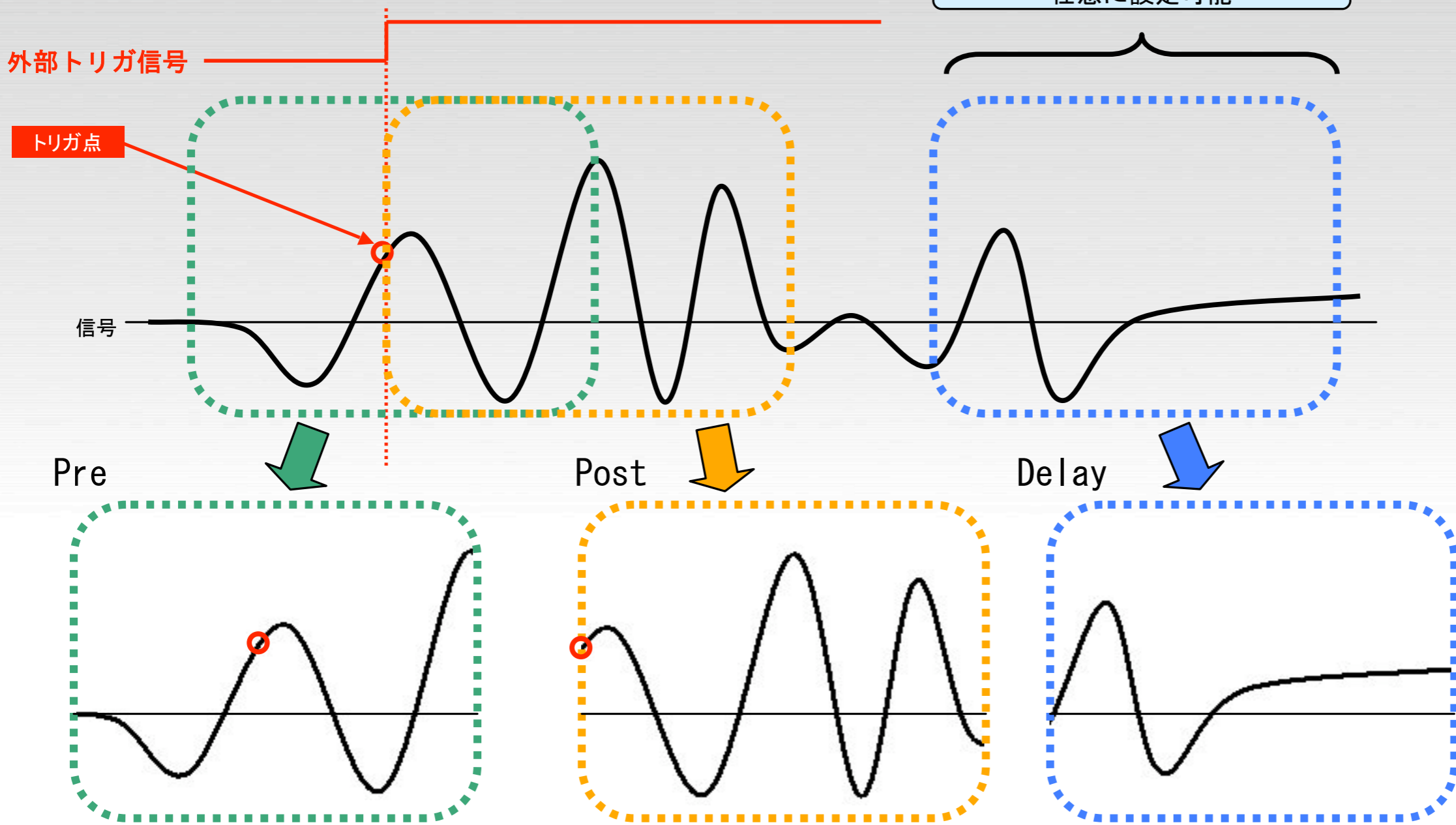
3-3!. 各種トリガ条件 (外部トリガ)

Preトリガ、Postトリガ、Delayトリガ 選択可能

Trigger Position

外部トリガ条件: Highアクティブ または、Lowアクティブ

トリガ点より、1Mワード分を任意に設定可能



4. 高速データ転送

●ストリームモード

- ・ FIFO!Memoryに直接転送するため、連続したデータ転送が可能

<トリガ条件待ち>



<トリガ条件を検出し、FIFO!Memoryにデータ転送開始>

●シングル/ノーマルモード

- ・ Temporary!Memoryに一時的に保存し、トリガ条件を検出後、FIFO!Memoryに転送する

<Temporary!Memoryに一時的に保存（トリガ条件待ち）>



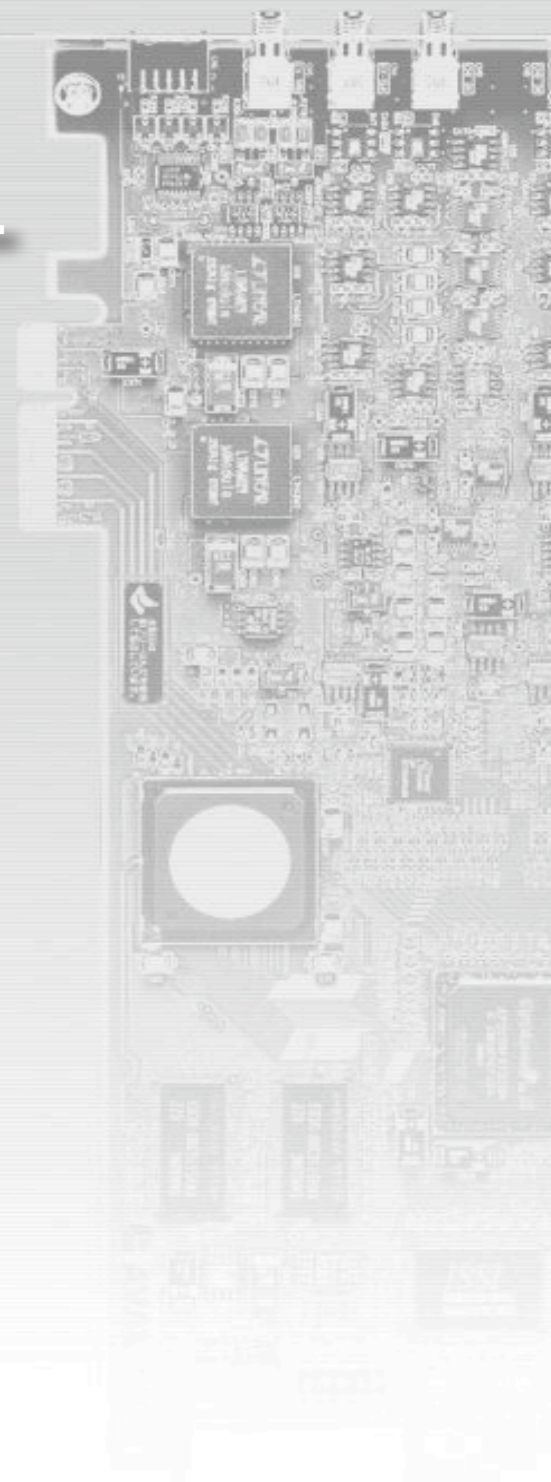
<トリガ条件を検出後データ入力を停止>



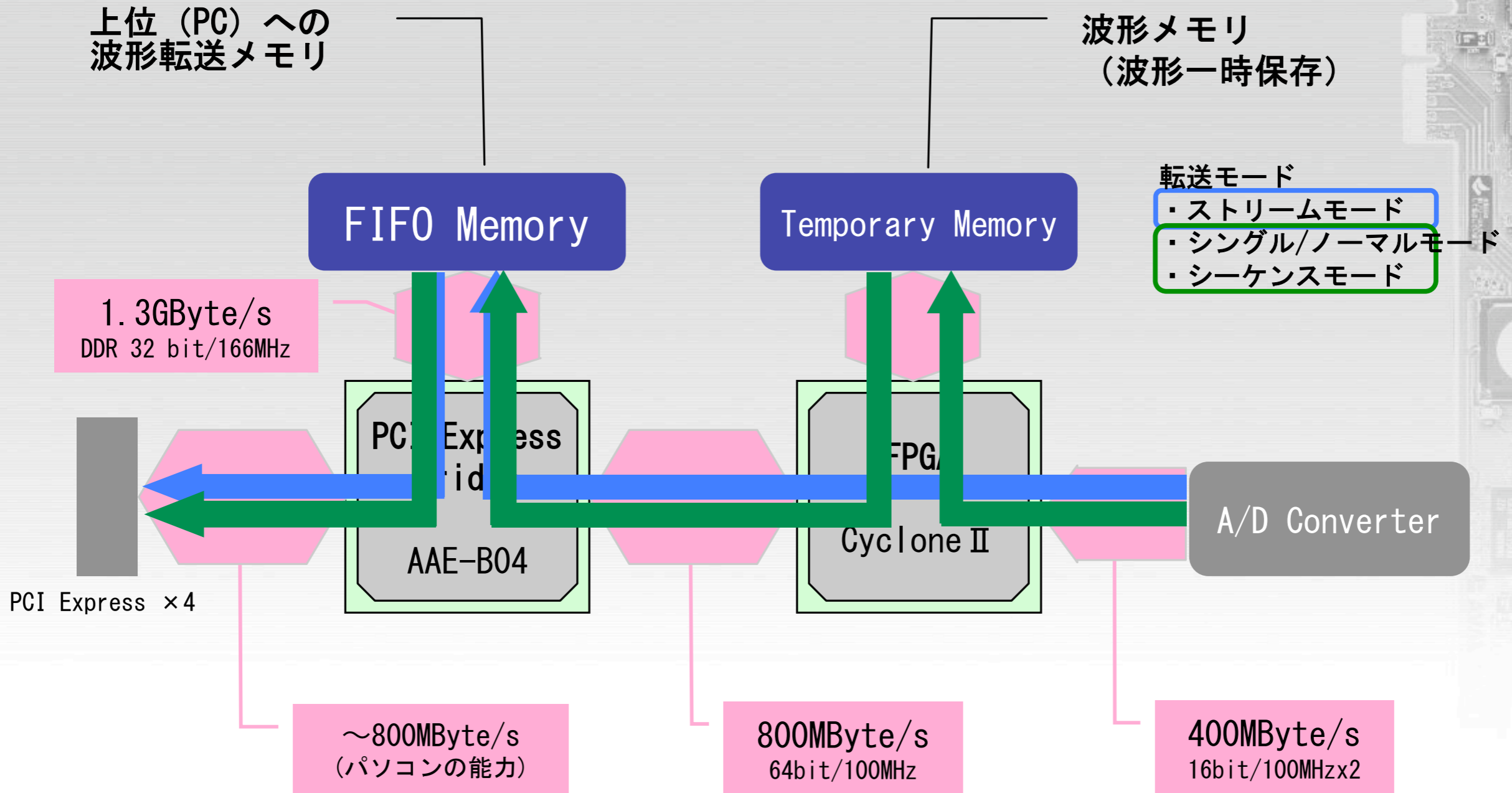
<必要なデータをFIFO!Memoryに転送>

●シーケンスモード

- ・ メジャメントモードの応用タイプ
- ・ 8グループのトリガ条件を事前に設定し、異なるトリガ条件を連続実行

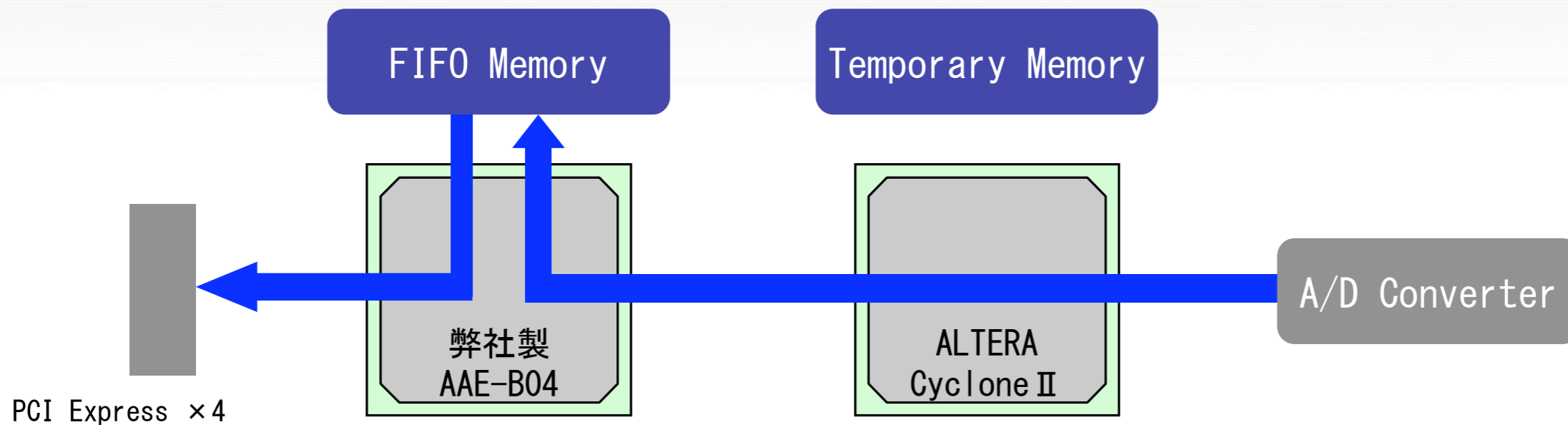
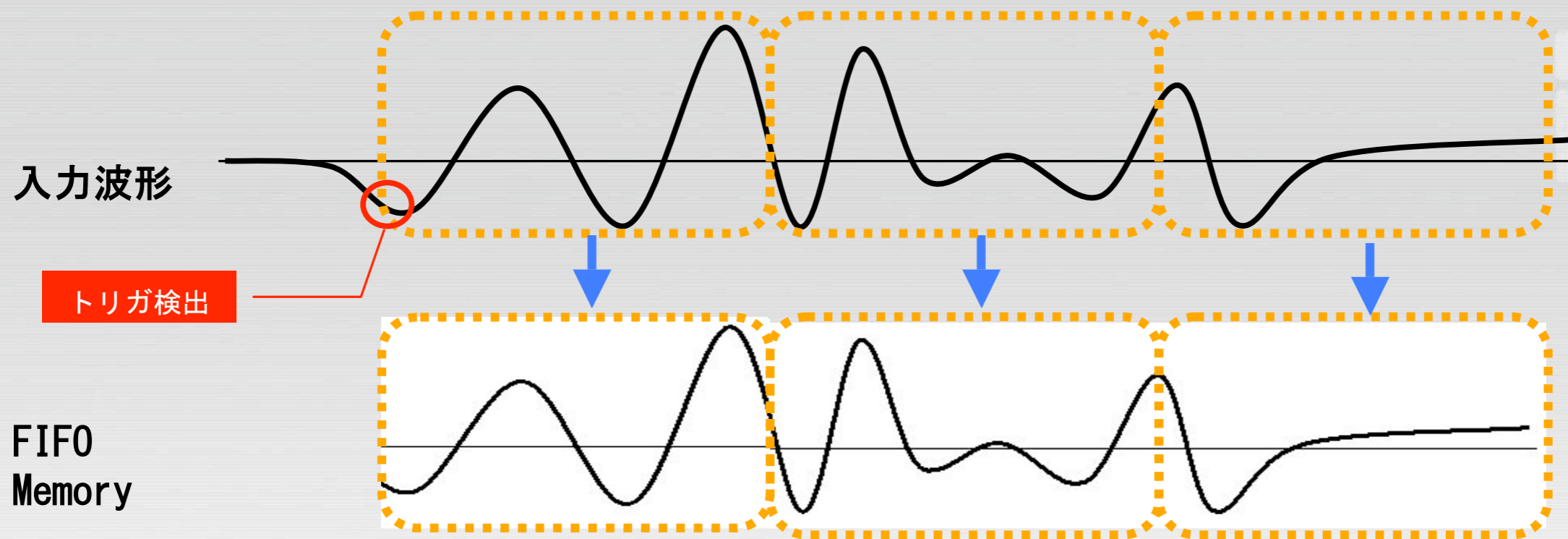


4-1. 高速データ転送

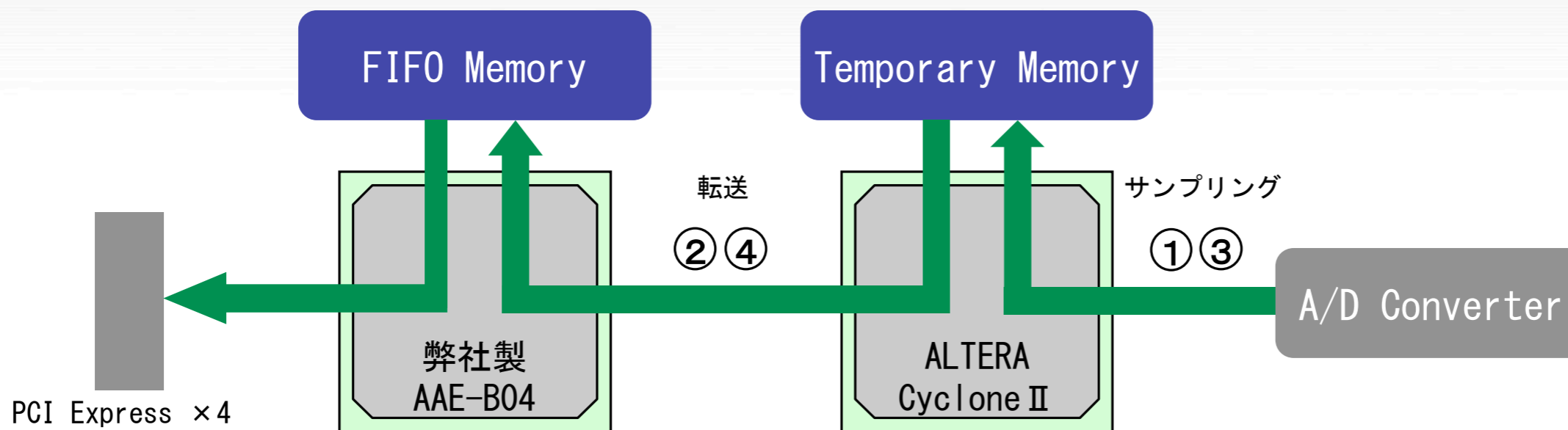
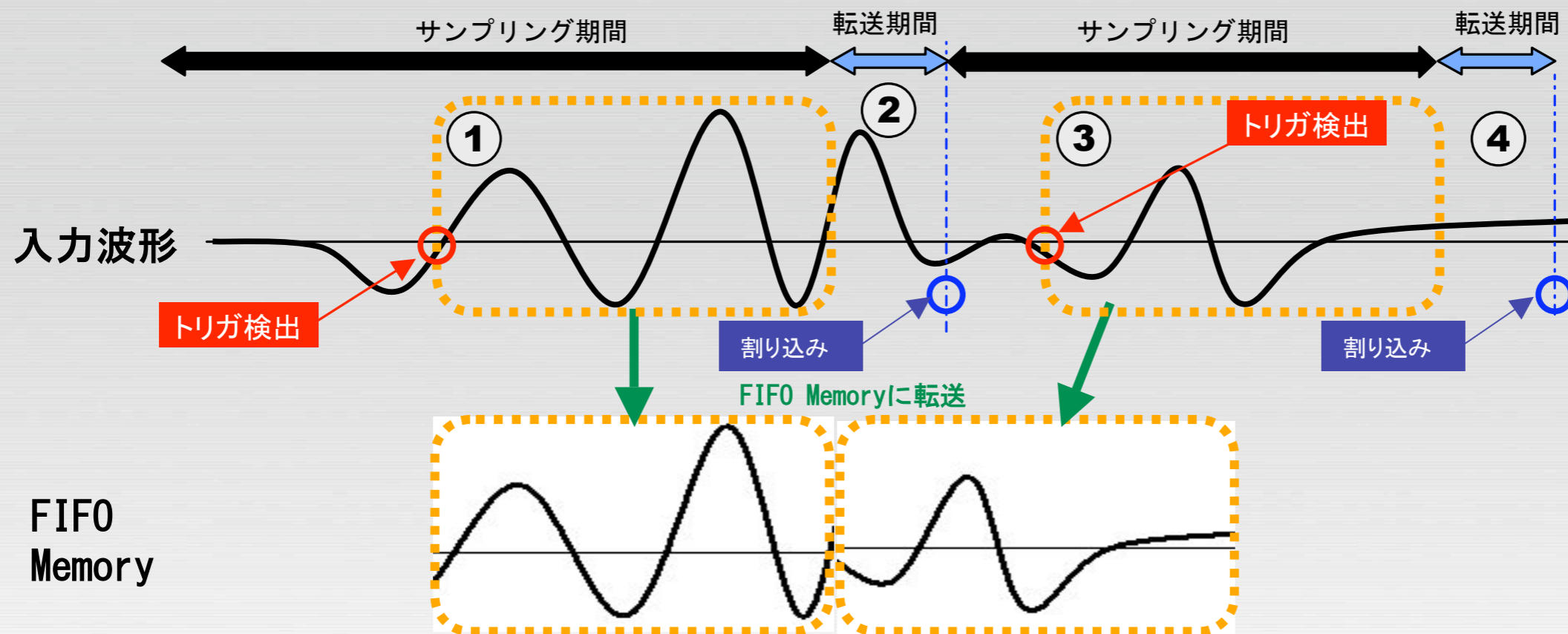


十分な帯域を確保

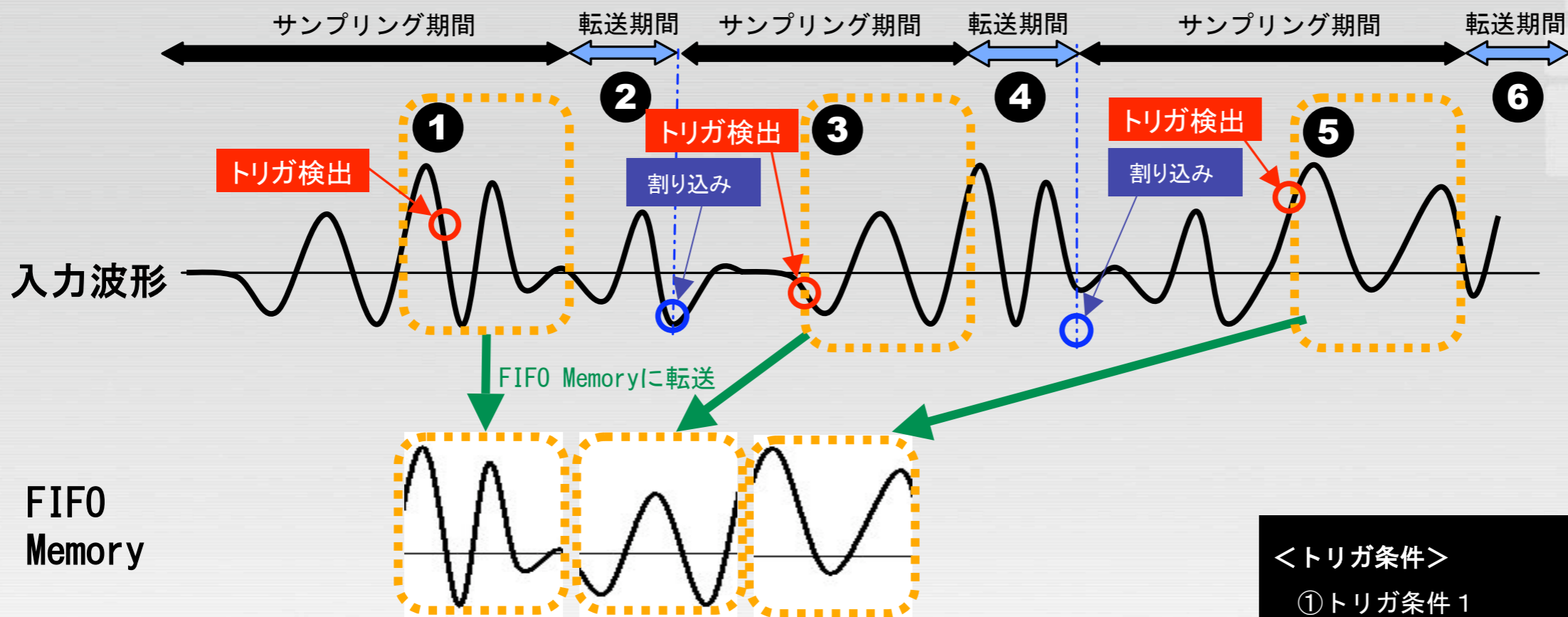
4-2. 高速転送 (ストリームモード)



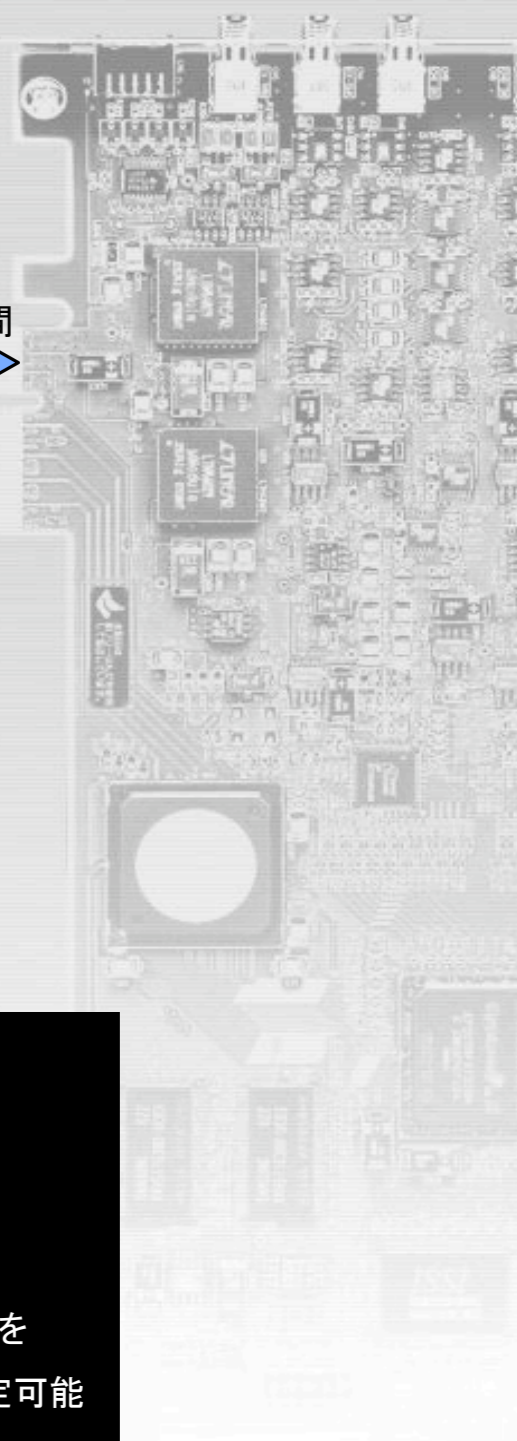
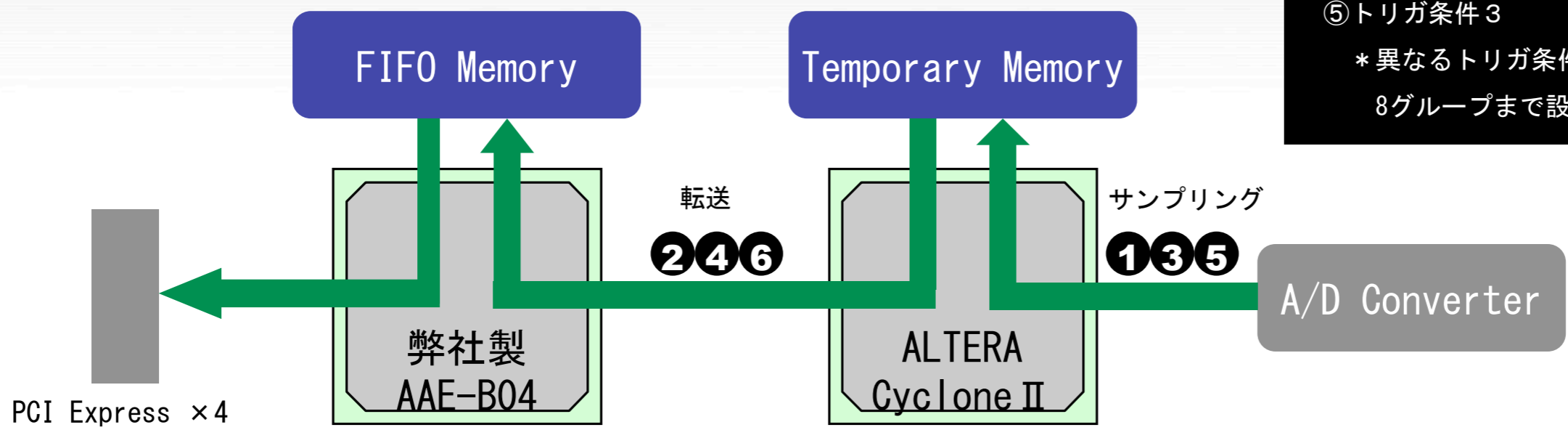
4-3. 高速転送 (シングル/ノーマルモード)



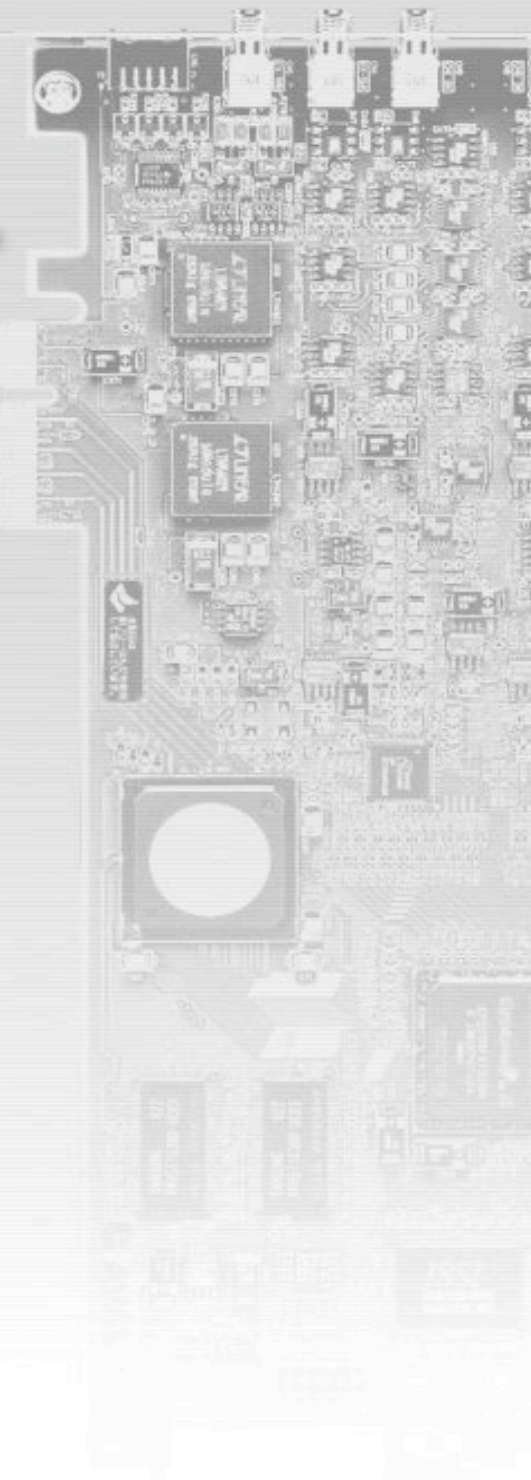
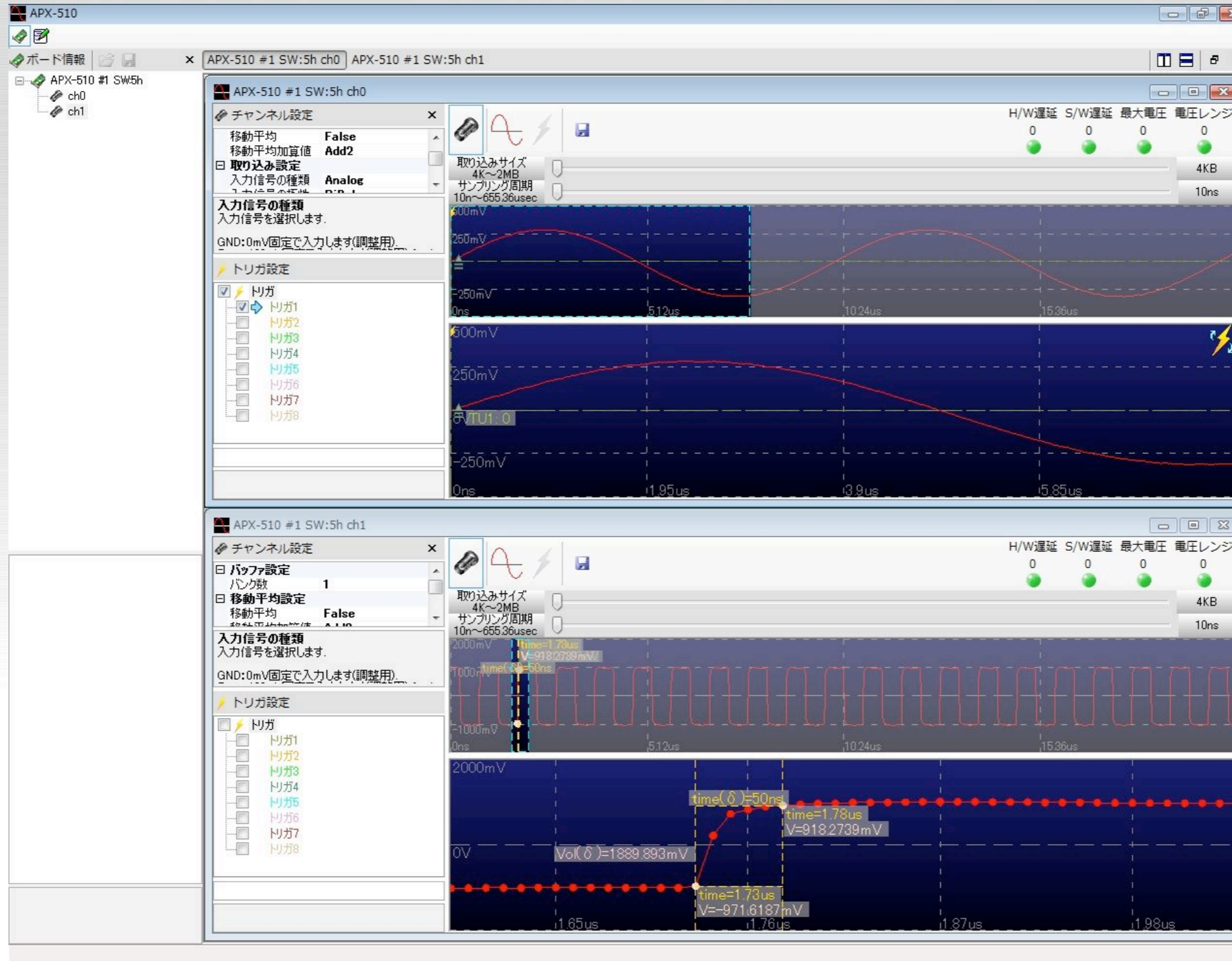
4-4. 高速転送 (シーケンスモード)



<トリガ条件>
 ①トリガ条件1
 ③トリガ条件2
 ⑤トリガ条件3
 *異なるトリガ条件を
 8グループまで設定可能



添付ソフトウェア



製品ロードマップ

